

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 23/60 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 02149050.3

[45] 授权公告日 2007 年 9 月 19 日

[11] 授权公告号 CN 100338769C

[22] 申请日 2002. 11. 20 [21] 申请号 02149050.3

[73] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学园区

[72] 发明人 柯明道 罗文裕

[56] 参考文献

US5465189A 1995.11.7

审查员 王 琳

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

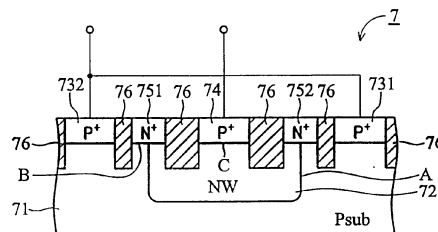
权利要求书 4 页 说明书 11 页 附图 10 页

[54] 发明名称

用于过高或过低输入电压准位的静电放电保护装置

[57] 摘要

本发明公开了一种适用于过高或过低输入电压准位的静电放电保护装置，其是形成于一耦接至VSS电源的P型基底中，具有浮接的N型阱区、依于N型阱区中且耦接至输入焊垫的P型浓掺杂区以及同时与N型阱区与P型基底邻接的N型或P型浓掺杂区。此结构相当于一基极浮接且具有低崩溃电压的双极型晶体管晶体管，可对具有过高或过低输入电压准位的集成电路提供静电放电保护且不会在其输入信号端造成漏电流或输入信号失真的问题。



1、一种适用于过高或过低输入电压准位的静电放电保护装置，在一第一及第二节点间提供一静电放电电流路径以保护一集成电路不受静电放电损害，其特征在于该装置包括以下部分：

一基底，具有一第一型导电性，电性耦接至该第一节点；

一第一掺杂区，位于该基底中，具有一第二型导电性，且处于浮接状态；

一第二掺杂区，位于该第一掺杂区中，具有该第一型导电性，电性耦接至该第二节点；以及

一第三掺杂区，位于该基底中且与该第一掺杂区邻接。

2、权利要求1所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区具有该第二型导电性。

3、权利要求2所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区的一掺杂浓度大于该第一掺杂区的一掺杂浓度。

4、权利要求3所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一第四掺杂区，位于该基底中，具有该第一型导电性，且将该基底电性耦接至该第一节点。

5、权利要求4所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一静电放电离子分布区，位于该基底中及该第三掺杂区下方，并与该第三掺杂区邻接。

6、权利要求5所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括多个绝缘层，位于该基底，将该第一、第三及第四掺杂区相互隔离。

7、权利要求6所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第一型导电性是P型，该第二型导电性是N型。

8、权利要求2所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该集成电路分别经由一第一及第二电源线接收一第一供应电压准位

及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

9、权利要求6所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一电源线间静电放电钳制电路，连接于该第一及第二电源线之间。

10、权利要求7所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

11、权利要求7所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一组同向串联的二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

12、权利要求1所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区具有该第一型导电性。

13、权利要求12所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区的一掺杂浓度大于该基底的一掺杂浓度。

14、权利要求13所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一第四掺杂区，位于该基底中，具有该第一型导电性，且将该基底电性耦接至该第一节点。

15、权利要求14所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一静电放电离子分布区，位于该基底中及该第三掺杂区下方，并与该第三掺杂区邻接。

16、权利要求15所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括多个绝缘层，位于该基底，将该第二、第三及第四掺杂区相互隔离。

17、权利要求16所述的适用于过高或过低输入电压准位的静电放电保护装

置，其特征在于该第一型导电性是P型，该第二型导电性是N型。

18、权利要求12所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该集成电路分别经由一第一及第二电源线接收一第一供应电压准位及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

19、权利要求18所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一电源线间静电放电钳制电路，连接于该第一及第二电源线之间。

20、权利要求19所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

21、权利要求19所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一组同向串联的二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

22、权利要求1所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区具有该第一型导电性，且将该基底电性耦接至该第一节点。

23、权利要求22所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第三掺杂区的一掺杂浓度大于该基底的一掺杂浓度。

24、权利要求23所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一静电放电离子分布区，依于该基底中及该第三掺杂区下方，并与该第三掺杂区邻接。

25、权利要求24所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括多绝缘层，位于该基底，将该第二及第三掺杂区相互隔离。

26、权利要求25所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该第一型导电性是P型，该第二型导电性是N型。

27、权利要求22所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该集成电路分别经由一第一及第二电源线接收一第一供应电压准位及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

28、权利要求27所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一电源线间静电放电钳制电路，连接于该第一及第二电源线之间。

29、权利要求28所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

30、权利要求28所述的适用于过高或过低输入电压准位的静电放电保护装置，其特征在于该装置还包括一组同向串联的二极管将该第一节点电性耦接至该第二电源线，具有一正极连接至该第一节点以及一负极连接至该第二电源线。

用于过高或过低输入电压准位的静电放电保护装置

技术领域

本发明涉及一种静电放电保护装置，尤其涉及一种适用于过高或过低输入电压准位的静电放电保护装置。

背景技术

因静电放电所造成的元件损害对集成电路产品来说已经成为最主要的可靠度问题之一。尤其是随着尺寸不断地缩小至深次微米的程度，金属氧化物半导体晶体管中的栅极氧化层也越来越薄，集成电路更容易因静电放电现象而遭受破坏。在一般的工业标准中，集成电路产品的输出输入接脚（I/O pin）必需能够通过2000伏特以上的人体模式静电放电测试以及200伏特以上的机械模式静电放电测试。因此，在集成电路产品中，静电放电防护元件必需设置在所有输出输入焊垫（pad）附近，以保护内部的核心电路（core circuit）不受静电放电电流的侵害。

图1~图3显示了三个传统用以提供静电放电保护功能的输入电路设计。

图1显示了第一种静电放电保护装置1，其包含了两个二极管11及12，分别连接于输入焊垫13与供应电压源VDD之间，及焊垫13与供应电压源VSS之间。当一正静电放电脉冲在输入焊垫13上产生时，会使二极管11导通，而使静电放电电流由输入焊垫13流向电压源VDD，而阻止其流入核心电路14中。同样地，当一负静电放电脉冲在输入焊垫13上产生时，会使二极管12导通，而使静电放电电流由输入焊垫13流向电压源VSS，而阻止其流入核心电路14中。

图2显示了第二种静电放电保护装置2，其包含P型晶体管21及N型晶体管22。其操作与图1中的静电放电保护装置1类似，当正、负静电放电脉冲在输入焊垫23上产生时，分别会使晶体管21、22导通，而使静电放电电流由输入焊垫23流向电压源VDD及VSS，而阻止其流入核心电路24中。

图3显示了第三种静电放电保护装置3,其包含了一场氧化N型金氧半晶体管(Field-Oxide NMOS)31、一N型晶体管32及一电阻R。在静电放电保护装置3中,场氧化N型金属氧化物半导体晶体管31及N型晶体管32亦可在输入焊垫33与电压源VSS之间提供了静电放电电流路径,阻止静电放电电流流入核心电路34。

此外,集成电路在正常工作情形下,其输入信号的电压准位一般都在该集成电路的VDD与VSS之间。然而随著互补金氧半导体(CMOS)制造技术的进步与微缩化,集成电路在不同制造下的工作电压也变得不同。例如,0.5 μm 的CMOS集成电路工作电压是5伏特的VDD,但0.18 μm 的CMOS集成电路的VDD工作电压则下降到1.8伏特。各类集成电路产品可依不同的功能会被放置于同一块电路板上,并互相连接其输出输入脚位。如此造成每颗集成电路芯片会面对不同输入/输出电压准位的问题。例如某一颗具有5伏特输出准位的芯片会连接到具有低VDD(如1.8伏特或3.3伏特)电位的集成电路的输入脚位,造成过高输入信号的问题。相对地,也有可能造成过低输入信号的问题,即某一颗芯片可能会接收到一输入信号的低准位比其本身的VSS电压准位还低。当然,在某些通讯集成电路产品,例如接收来自远端的电路或连接线的集成电路产品,其输入端可能会同时面对输入信号电压准位过高与过低的问题。但集成电路在设计上必需面对并解决这些电压准位的问题。上述三种利用二极管或晶体管所构成的传统静电放电保护元件若使用于输入信号的电压准位高于VDD及低于VSS的情况时,均会造成额外的直流漏电问题,而不适用于具有过高或过低输入电压准位的集成电路中。

为了解决此一问题,在传统上,可以使用图4~图6中的输入电路设计分别对具有过高、过低及同时具有过高与过低输入电压准位的集成电路提供静电放电保护。

图4显示了可对具有过高输入电压准位的集成电路提供静电放电保护的输入电路设计。其中,一PMOS晶体管41的栅极连接至一栅极电压循迹电路42,源极连接至电源VDD,漏极连接至焊垫43,基体连接至一浮接N型阱区(图未显示)。栅极电压循迹电路42与焊垫43及电源VDD连接。一堆叠式NMOS晶体管44、45

连接于焊垫43与电源VSS之间。NMOS晶体管44的栅极连接至电源VDD，而NMOS晶体管45的栅极连接至电源VSS。然而，此电路设计虽可解决输入信号电压准位高于VDD所造成的问题，但其静电放电耐受能力不佳，容易被静电放电所损伤，这一缺点已报导于相关的国际论文中。

图5显示了可对具有过低输入电压准位的集成电路提供静电放电保护的输入电路设计。其中包括了一PNP双极型晶体管晶体管51、硅控整流器52与一PMOS晶体管54。此电路虽可解决输入信号电压准位低于VSS所造成的问题，但在此应用情形下，硅控整流器52的N型阱区52必需是浮接的，以避免接地的P型基体522因N型阱区52的寄生二极管顶向导通。但具有浮接N型阱区52的硅控整流器52容易因杂讯被意外触发而导通，造成电路锁存（latchup）的问题。

图6显示了可对同时具有过高及过低输入电压准位的种体电路提供静电放电保护的输入电路设计。其中包括了PNP双极型晶体管晶体管61连接于电源VSS与输入焊垫63之间、一硅控整流器62连接于电源VSS与焊垫63之间。此电路虽可同时解决输入信号电压准位过高与过低所造成的问题，但由于硅控整流器62的N型阱区62亦需浮接，仍然会造成电路锁存问题。

发明内容

本发明提供一种新的静电放电保护装置，可以同时具有对具有过高或过低输入电压准位的集成电路提供静电保护，又不会产生漏电流或信号失真的问题。

本发明的一目的在于提供一种适用于过高或过低输入电压准位的静电放电保护装置，在一第一及第二节点间提供一静电放电电流路径以保护一集成电路不受静电放电损害，该装置包括：一基底，具有一第一型导电性，电性耦接至该第一节点；一第一掺杂区，位于该基底中，具有一第二型导电性，且处于浮接状态；一第二掺杂区，位于该第一掺杂区中，具有该第一型导电性，电性耦接至该第二节点；以及一第三掺杂区，位于该基底中且与该第一掺杂区邻接。

本发明的另一目的在于提供一种适用于过高或过低输入电压准位的静电放电保护装置，分别在一第一及第二节点间与该第二及一第三节点间提供一静电

放电电流路径以保护一集成电路不受静电放电损害，该装置包括：一基底，具有一第一型导电性，电性耦接至该第一节点；一第一掺杂区，位于该基底中，具有一第二型导电性，且处于浮接状态；一第二掺杂区，依于该第一掺杂区中，具有该第一型导电性，电性耦接至该第二节点；一第三掺杂区，位于该基底中且与该第一掺杂区邻接；以及一第四掺杂区，具有该第一型导电性，位于该第一掺杂区中并电性耦接至该第三节点。

在所述的适用于过高或过低输入电压准位的静电放电保护装置中，该集成电路分别经由一第一及第二电源线接收一第一供应电压准位及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

在所述的适用于过高或过低输入电压准位的静电放电保护装置中，该集成电路分别经由一第一及第二电源线接收一第一供应电压准位及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

在所述的适用于过高或过低输入电压准位的静电放电保护装置中，该集成电路分别经由一第一及第二电源线接收一第一供应电压准位及一低于该第一供应电压准位的第二供应电压准位，且经由一输入焊垫接收一输入信号，该第一及第二节点分别电性耦接至该第二电源线及该输入焊垫，该输入信号具有一高于该第一供应电压准位的最高电压准位，以及一低于该第二供应电压准位的最低电压准位。

附图说明

图 1 显示第一种适用于输入信号电压准位居中的传统输入电路设计；

图 2 显示第二种适用于输入信号电压准位居中的传统输入电路设计；
图 3 显示第三种适用于输入信号电压准位居中的传统输入电路设计；
图 4 显示了一种适用于输入信号电压准位过高的传统输入电路设计；
图 5 显示了一种适用于输入信号电压准位过低的传统输入电路设计；
图 6 显示了一种适用于输入信号电压准位过高及过低的传统输入电路设计；
图 7 显示了本发明第一实施例中用于输入电路设计的静电放电保护元件；
图 8 显示了一种使用图 7 的静电放电保护元件的输入电路设计；
图 9 显示了另一种使用图 7 的静电放电保护元件的输入电路设计；
图 10 显示了本发明第二实施例中用于输入电路设计的静电放电保护元件；
图 11 显示了本发明第三实施例中用于输入电路设计的静电放电保护元件；
图 12 显示了本发明第四实施例中用于输入电路设计的静电放电保护元件；
图 13 显示了本发明第五实施例中用于输入电路设计的静电放电保护元件；
图 14 显示了本发明第六实施例中用于输入电路设计的静电放电保护元件；
图 15 显示了本发明第七实施例中用于输入电路设计的静电放电保护元件；
图 16 显示了一种使用图 15 的静电放电保护元件的输入电路设计；
图 17 显示了本发明第八实施例中用于输入电路设计的静电放电保护元件；
图 18 显示了本发明第九实施例中用于输入电路设计的静电放电保护元件；
图 19 显示了本发明第十实施例中用于输入电路设计的静电放电保护元件。

符号说明：

11、12、91 二极管

13、23、33、43、53、63、83、163 焊垫

14、24、34、46、56、66、86、166 核心电路

21、22、32、41、44、45、54 晶体管

31 场氧化晶体管

42 栅极电压循迹电路

51、61 双极型晶体管晶体管

52、62 硅控整流器

52、62、72、152 N型阱区

522、71、151 P型基底

7、15 静电放电保护元件

731、732、74、111、112、1531、1532、154、1571、1572、181、182 P
型浓掺杂区

751、752、1551、1552 N型浓掺杂区

76、156 绝缘层

81 电源线间静电放电钳制电路

101、102、121、122、141、142、171、172、191、192 静电放电离子分布
区

具体实施方式

以下，就图式说明本发明中适用于过高或过低输入电压准位的静电放电保护装置的各种实施例。

第一实施例

图7显示了本发明第一实施例中用于输入电路设计的静电放电保护元件。静电放电保护元件7包括了一P型基底71、一位于P型基底71中的N型阱区72，位于P型基底71中的P型浓掺杂区731、732，位于N型阱区72中的P型浓掺杂区74，与N型阱区72邻接的N型浓掺杂区751、752以及将P型、N型浓掺杂区731、732、74、751、752相互隔离的绝缘层76。此一结构相当于一具有低崩溃电压且基极浮接的PNP双极型晶体管晶体管，可称之为（Low Voltage Triggered PNP: LVTPNP），当其PN及NP接触面之一发生崩溃现象时可在其射极与集极间提供一条静电放电路径。其射极是由P型浓掺杂区74形成，基极由N型阱区72及N型浓掺杂区751、752形成，而集极则由P型基底71及P型浓掺杂区731、732形成。其中，如一般所熟知的，P型浓掺杂区731及732是用以作为将P型基底71电性耦接至一电位或是其他元件的接触区（contact region），但N型浓掺杂区751、752的存在，并非作为将N型阱区72电性耦接至某电位或元件的接触

区用，而是没有电性连接至任何电位，使得N型阱区72处于浮接状态（即LVTPNP的基极浮接），以确保在输入信号正常的情形下，只有PN或NP接触面之一会产生顺偏，防止漏电流产生。此外，P型浓掺杂区74与N型阱区72间所形成的接触面C由于P型浓掺杂区74的离子掺杂浓度高，因此可以具有较低的崩溃电压；但由于N型阱区72及P型基底71的离子掺杂浓度均过低，其所形成的NP接触面A具有一高崩溃电压，而不利于静电放电电流路径的形成。因此N型浓掺杂区751、752存在的主要目的即在于利用其高离子掺杂浓度提供一具有较低崩溃电压的NP接触面B，可以在静电放电轰击时较接触面A提早崩溃而适时地在射极与集极间形成一静电放电路径。根据上述N型浓掺杂区751、752的使用目的，可以得知N型浓掺杂区751、752并不限于图7中所示的形成位置，只要能够与N型阱区72邻接即可。

利用上述的静电放电保护元件可以做出如图8所示的输入电路设计。其包括了一电源线间静电放电钳制电路81及上述的静电放电保护元件7。电源线间静电放电钳制电路81连接于VDD及VSS电源线之间，提供两电源线间的静电放电保护。静电放电保护元件7则连接于输入焊垫83与VSS电源线之间，提供输入焊垫83与VSS电源线间的静电放电保护。

利用静电放电保护元件7亦可以做出如图9所示的输入电路设计。图9的输入电路设计与图8不同之处在于静电放电保护元件7与VSS电源线之间增加了多个同向串联的二极管91，可以藉以调整在输入焊垫83上触发静电放电路径产生所需要的电压准位。

第二实施例

图10显示了本发明第二实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图10中与图7中相同的元件是使用相同的符号表示。在比较图10及图7中的静电放电保护元件后可以看出，在图10的静电放电保护元件中，在N型浓掺杂区751及752下方分别额外形成有P型静电放电离子分布区（ESD Implantation）101及102。该P型静电放电离子分布区101、102的掺杂浓度较P型基底的浓度还高，可提供具有更低崩溃电压的接触面。此外，第二

实施例中的静电放电保护元件亦适用于图8及图9所示的输入电路设计。

第三实施例

图11显示了本发明第三实施例用于输入电路设计的静电放电保护元件。为了说明简洁，图11中与图7中相同的元件是使用相同的符号表示。在比较图11及图7中的静电放电保护元件后可以看出，在图11的静电放电保护元件中，原来的N型浓掺杂区751及752被置换为P型浓掺杂区111及112。由于与P型基底及N型阱区72邻接的P型浓掺杂区111及112具有高离子掺杂浓度，亦可以与N型阱区72间形成具有低崩溃电压的接触面B，因此可以将N型浓掺杂区751及752置换为P型浓掺杂区111及112。第三实施例的静电放电保护元件亦适用于图8及图9的输入电路设计。

第四实施例

图12显示了本发明第四实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图12中与图11中相同的元件是使用相同的符号表示。在比较图12及图11中的静电放电保护元件后可以看出，在图12的静电放电保护元件中，在P型浓掺杂区111及112下方分别额外形成有静电放电离子分布121及122，以降低该接面的崩溃电压。此外，第四实施例中的静电放电保护元件亦适用于图8及图9所示的输入电路设计。

第五实施例

图13显示了本发明第五实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图13中与图11中相同的元件是使用相同的符号表示。在比较图13及图11中的静电放电保护元件后可以看出，在图13的静电放电保护元件中，没有P型浓掺杂区731及732而直接由P型浓掺杂区111及112作为将P型基底71电性连接至一电位或元件的接触区。这是由于与N型阱区72邻接的P型浓掺杂区111及112仅会将P型基底71电性耦接至某电位或元件而仍然保持N型阱区72处于浮接状态。因此可以直接取代P型浓掺杂区731及732的功能。第五实施例的静电放电保护元件亦适用于图8及图9的输入电路设计。

第六实施例

图14显示了本发明第六实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图14中与图13中相同的元件是使用相同的符号表示。在比较图14及图13中的静电放电保护元件后可以看出，在图14的静电放电保护元件中，在P型浓掺杂区111及112下方分别额外形成有静电放电离子分布区141及142，以降低该接面的崩溃电压。此外，第六实施例中的静电放电保护元件亦适用于图8及图9所示的输入电路设计。

第七实施例

图15显示了本发明第七实施例中用于输入电路设计的静电放电保护元件。静电放电保护元件15包括了一P型基底151，一位于P型基底151中的N型阱区152，位于P型基底151中的P型浓掺杂区1531、1532，位于N型阱区152中的P型浓掺杂区154、1571、1572，与N型阱区152邻接的N型浓掺杂区1551、1552，以及将P型、N型浓掺杂区1531、1532、154、1571、1572、1551、1552相互隔离的绝缘层156。此一结构相当于一具有两个集极的结合式低压触发晶体管（Combo LVTPNP），与图7中所示的静电放电保护元件的结构与操作类似，但额外在N型阱区152中形成P型浓掺杂区1571、1572作为另一集极用。因此，静电放电保护元件15在其射极与第一集极、射极与第二集极以及两个集极之间提供静电放电电流路径。

利用上述的静电放电保护元件可以做出如图16所示的输入电路设计。静电放电保护元件15的射极连接至一输入焊垫163、第一集极连接至电源VSS而第二集极连接至电源VDD，由于静电放电保护元件15已足以提供输入焊垫163至电源VSS、输入焊垫163至电源VDD以及电源VDD至VSS的静电放电路径，原图8中的电源线间静电放电箝制电路可被省略。

第八实施例

图17显示了本发明第八实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图17中与图15中相同的元件是使用相同的符号表示。在比较图17及图15中的静电放电保护元件后可以看出，在图17的静电放电保护元件中，在N型浓掺杂区1551及1552下方分别额外形成有静电放电离子分布区

(ESD Implantation) 171及172。此外，第八实施例中的静电放电保护元件亦适用于图16所示的输入电路设计。

第九实施例

图18显示了本发明第三实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图18中与图15中相同的元件是使用相同的符号表示。在比较图18及图15中的静电放电保护元件后可以看出，在图18的静电放电保护元件中，原来的N型浓掺杂区1551及1552被置换为P型浓掺杂区181及182。类似于第三实施例中的静电放电保护元件，由于与P型基底151及N型阱区152邻接的P型浓掺杂区181及182具有高离子掺杂浓度，亦可以与N型阱区152间形成具有低崩溃电压的接触面B，因此可以将N型浓掺杂区1551及1552置换为P型浓掺杂区181及182。第九实施例的静电放电保护元件亦适用于图16的输入电路设计。

第十实施例

图19显示了本发明第十实施例中用于输入电路设计的静电放电保护元件。为了说明简洁，图19中与图18中相同的元件是使用相同的符号表示。在比较图19及图18中的静电放电保护元件后可以看出，在图19的静电放电保护元件中，在P型浓掺杂区181及182下方分别额外形成有静电放电离子分布区191及192，以降低该接面的崩溃电压。此外，第十实施例中的静电放电保护元件亦适用于图16所示的输入电路设计。

综合上述，本发明提供一种新的静电放电保护装置，利用P型基底、N型阱区及在N型阱区中的P型浓掺杂区形成一PNP晶体管结构，且额外增加一与P型基底及N型阱区邻接的N型或P型浓掺杂区以提供一低崩溃电压的NP接触面，并保持N型阱区浮接，而形成相当于一基极浮接且具有低崩溃电压的双极型晶体管晶体管。如此，当输入电压准位过低或过高时，可以始终保持PN或NP接触面之一处于逆偏状态，而防止漏电流的产生与信号失真；同时，在静电放电轰击时，又因其具有低崩溃电压，而可以适时地提供一条静电放电流路径，保护核，心电路不受静电放电损害。

虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技术者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视前面权利要求书中的申请专利范围为准。

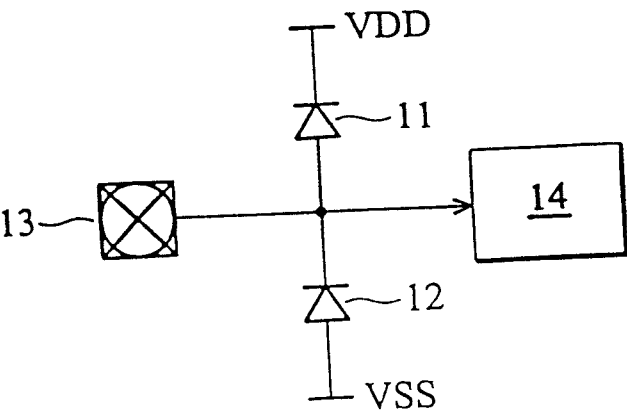


图 1

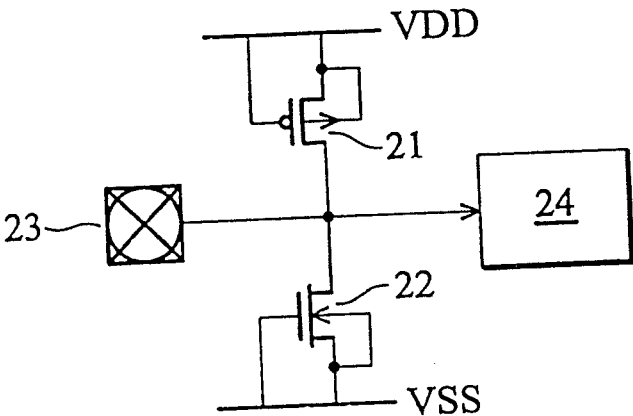


图 2

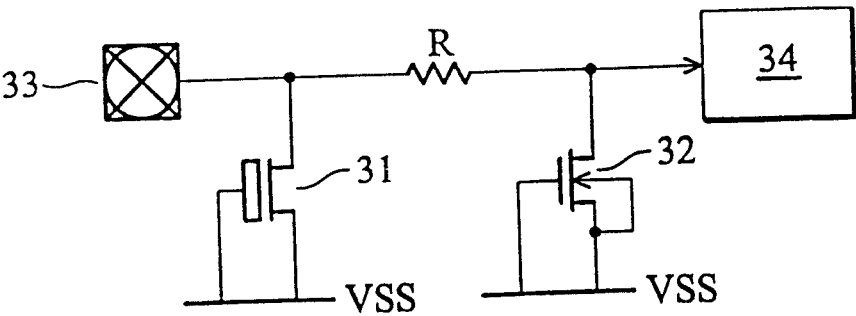


图 3

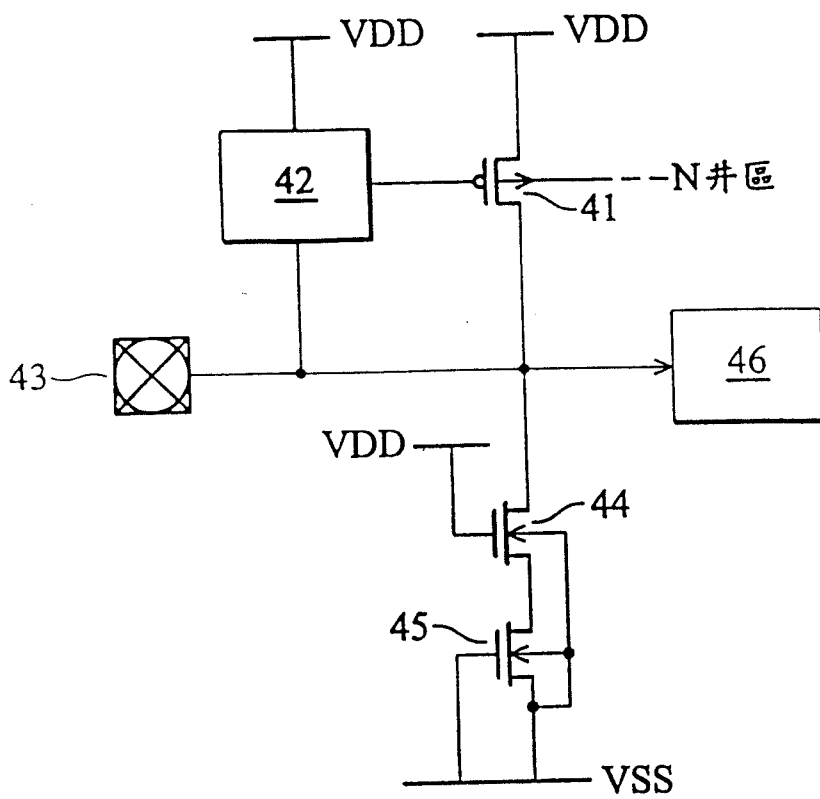


图 4

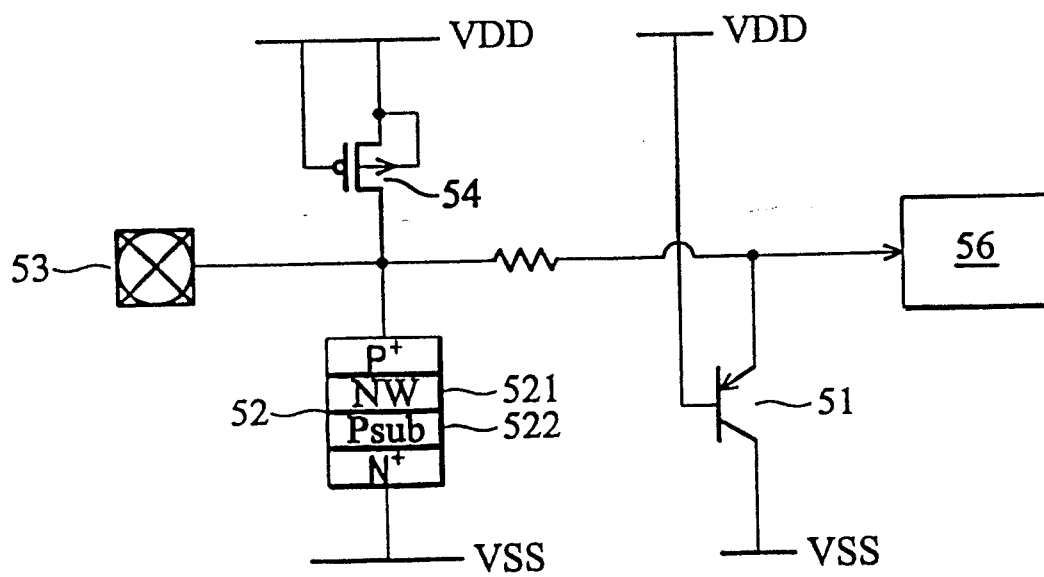


图 5

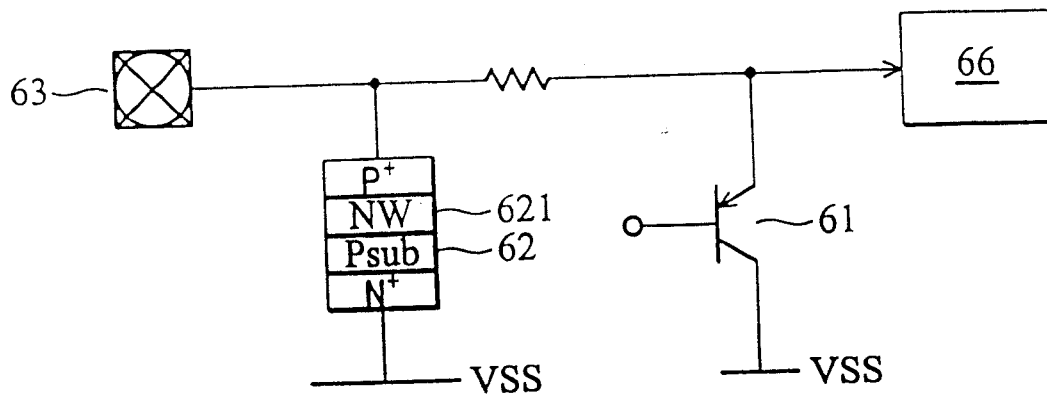


图6

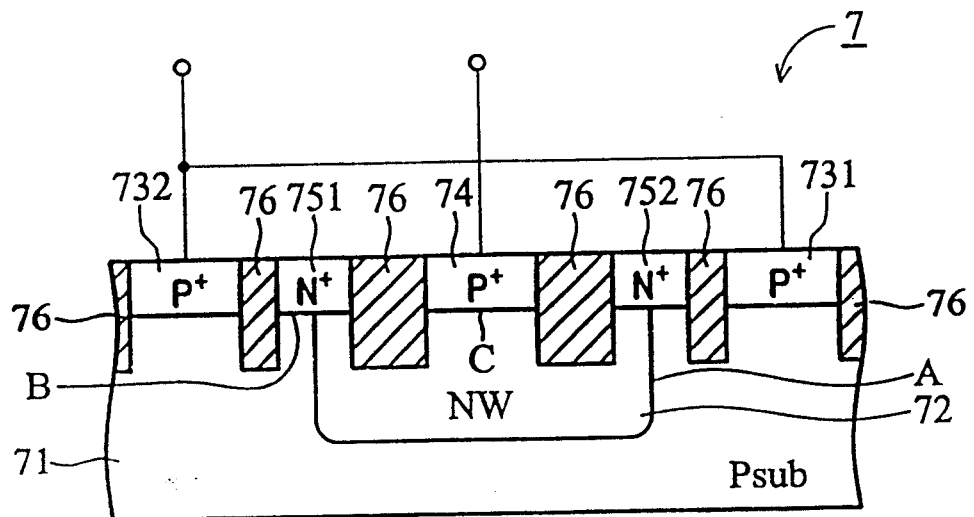


图7

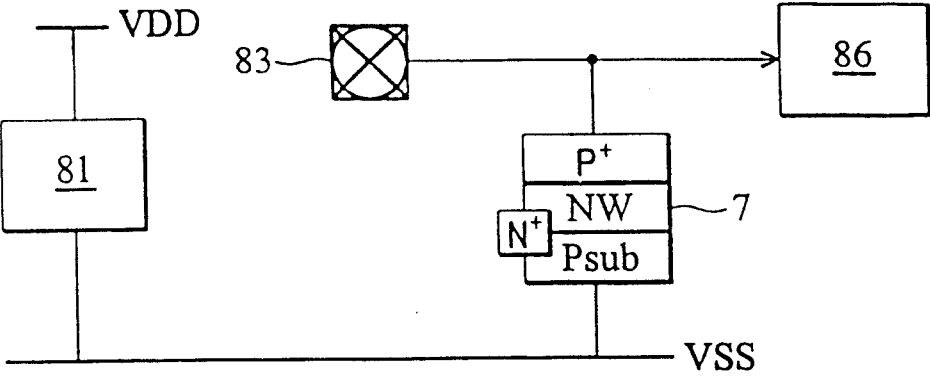


图 8

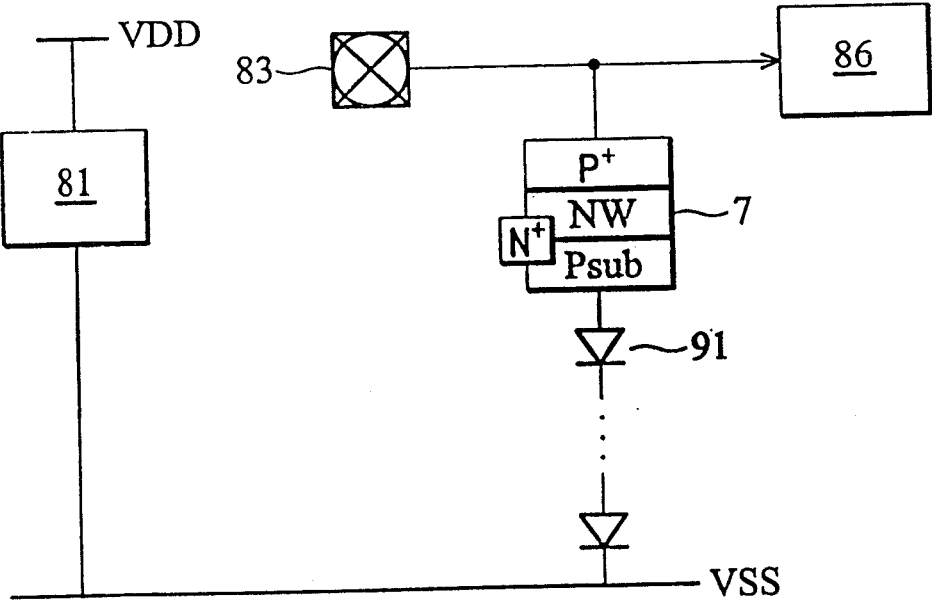


图 9

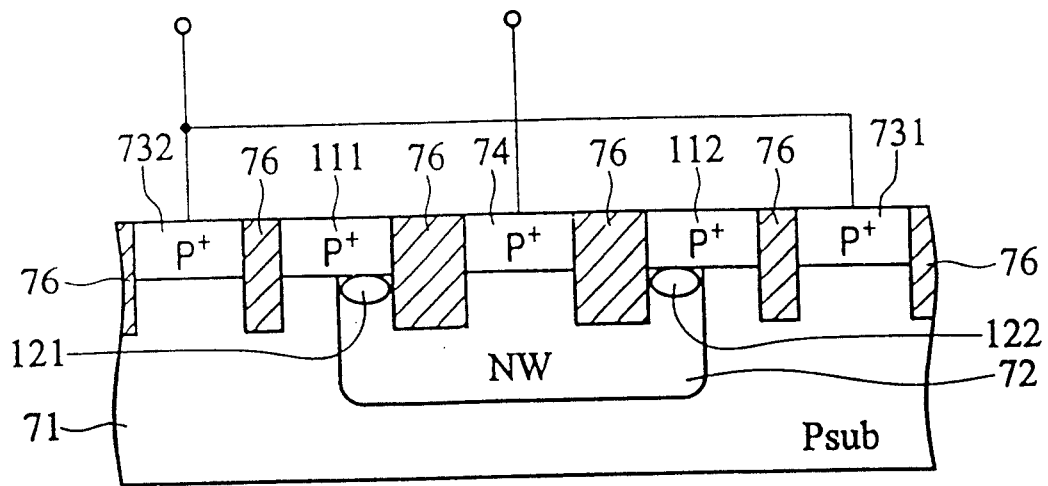


图 12

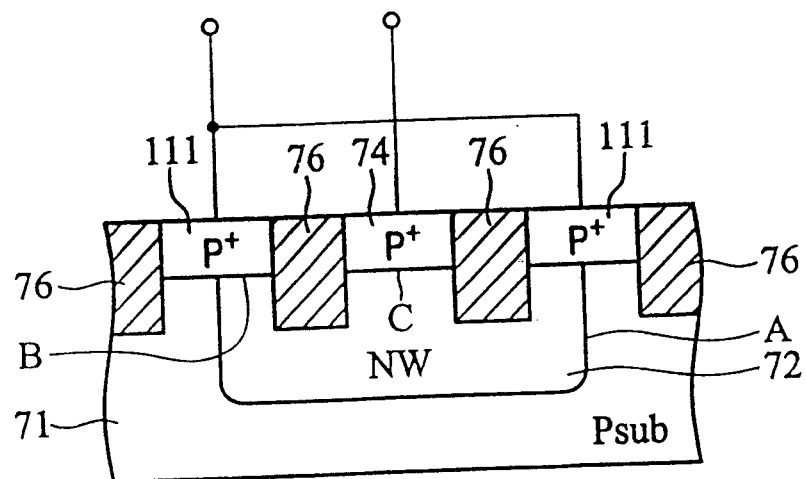


图 13

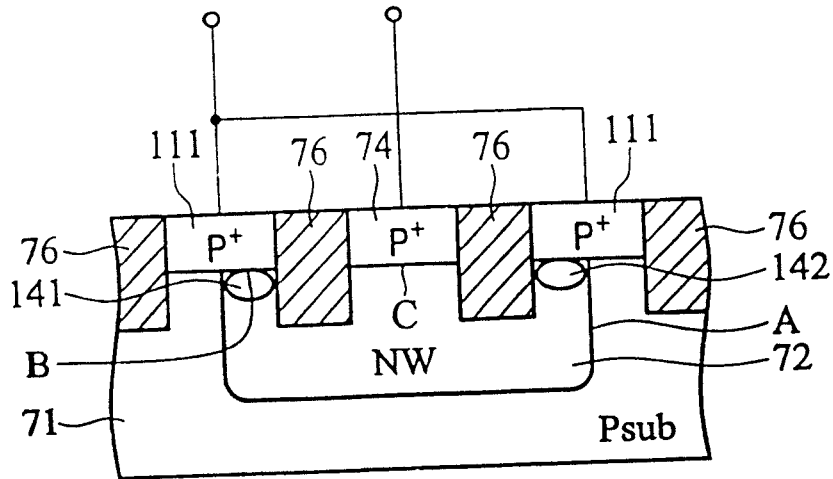


图14

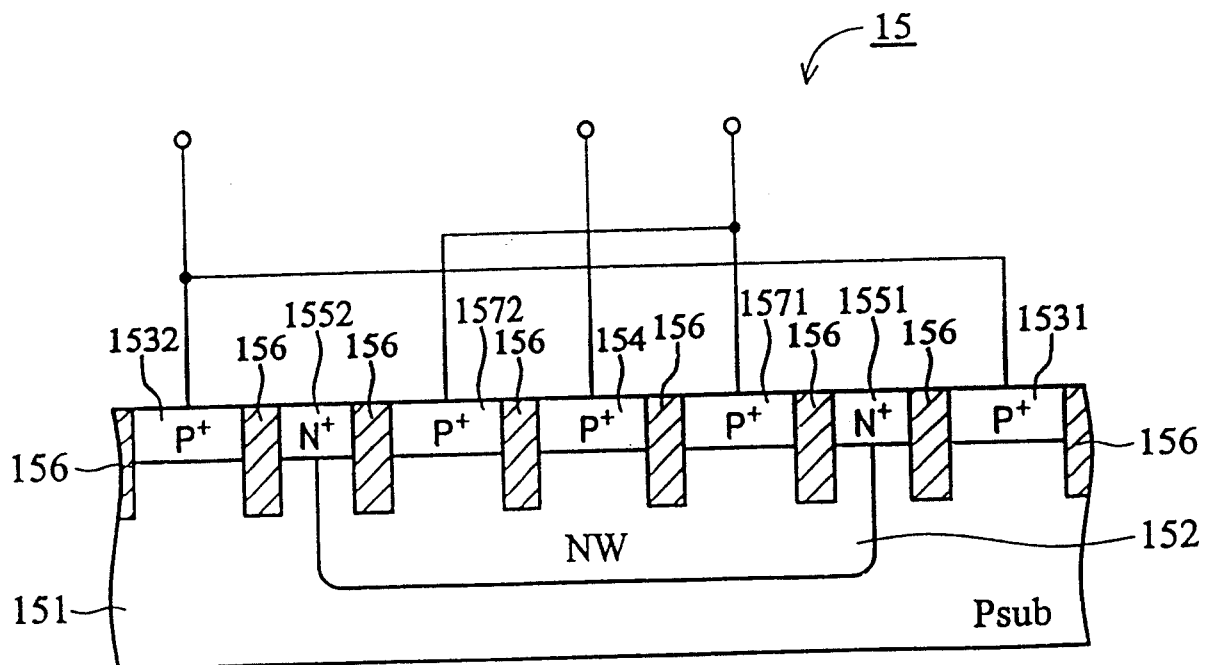


图15

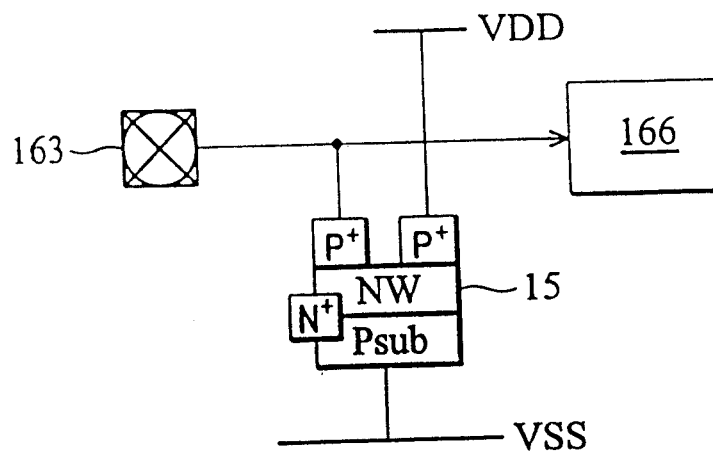


图16

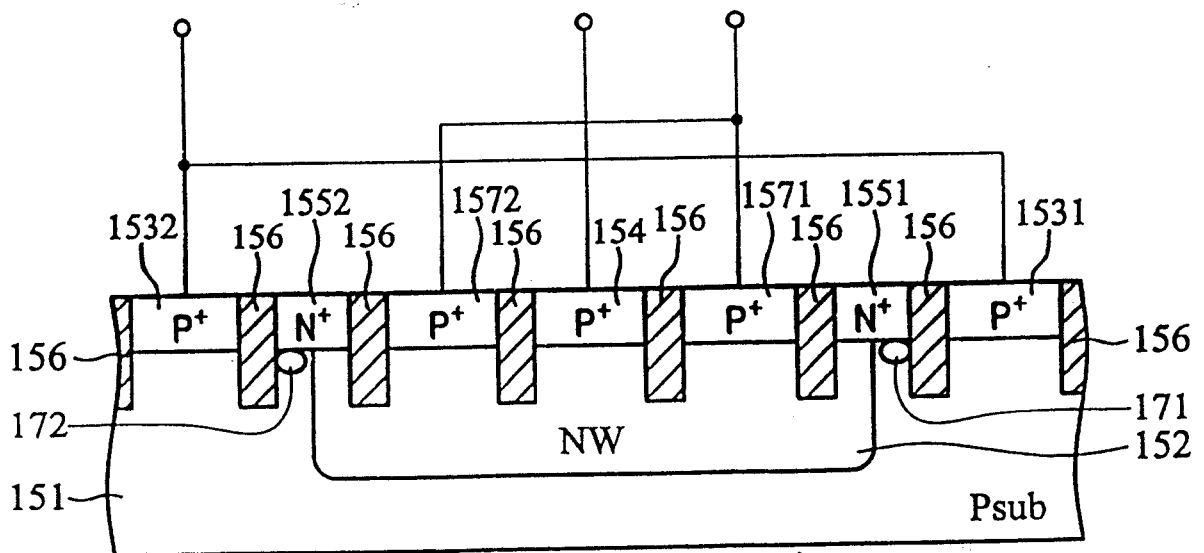


图17

